

公開実用平成 3-105053

⑨ 日本国特許庁(JP)

⑩ 実用新案出願公開

⑫ 公開実用新案公報(U) 平3-105053

⑤ Int. Cl.⁵

H 04 L 27/20

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月31日

A

7240-5K

審査請求 未請求 請求項の数 1 (全 頁)

⑭ 考案の名称 位相変調回路

⑯ 実 願 平2-14353

⑰ 出 願 平2(1990)2月16日

⑱ 考 案 者 松 本 剛 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

⑲ 出 願 人 横河電機株式会社 東京都武蔵野市中町2丁目9番32号

⑳ 代 理 人 弁理士 小沢 信助

明 細 書

1. 考案の名称

位相変調回路

2. 実用新案登録請求の範囲

入力された搬送周波数に対応する周波数設定データの倍数から成る数列をクロック毎に出力する搬送波設定用のゲートアレー（１１）と、

入力された変調波周波数に対応する周波数設定データの倍数から成る数列をクロック毎に出力する変調波設定用のゲートアレー（１２）と、

該変調波設定用のゲートアレー（１２）の出力の数列のアドレスにより格納されている正弦波データがクロック毎に読み出される第１の正弦波ROM（１３）と、

該第１の正弦波ROM（１３）の出力正弦波データと１クロック前に出力された正弦波データとの差を求める減算器（１４）と、

入力された変調指数と前記減算器（１４）の出力データとの積を求める乗算器（１５）と、

前記搬送波設定用のゲートアレー（１１）の出

力と前記乗算器（１５）の出力とを加算して出力する加算器（１６）と、

該加算器（１６）の出力を読み出しアドレスとして位相変調された信号を出力する正弦波振幅データが格納されている第２の正弦波ＲＯＭ（１７）と、

該第２の正弦波ＲＯＭ（１７）の出力のデジタル信号をアナログ信号に変換して出力するＤＡ変換器（１８）とを具備することを特徴とする位相変調回路。

３．考案の詳細な説明

（産業上の利用分野）

本考案は位相変調回路に関し、特にＤＤＳ（Digital Direct Synthesizer）を用いた位相変調回路に関する。

（従来技術）

遠距離通信は情報を遠距離に伝送する手段として用いられ、その方法は伝達すべき情報を搬送波に載せて、その搬送波を送ることにより行っている。この信号を搬送波に載せる手段が変調である。

変調には3種の方法がある。振幅変調は搬送波の振幅を伝達すべき信号の振幅に比例して変化させる方法であり、周波数変調は搬送波の周波数を信号の振幅に比例して変化させる方法、位相変調は搬送波の位相を信号の振幅に比例して変化させる方法である。位相変調は一般に次式で表される。

$$f(t) = A \sin \{ \omega t + aV(t) \}$$

ここで、 A … 搬送波の振幅

ω … 搬送波の角周波数

a … 変調指数

$V(t)$ … 変調信号

位相変調は本質的には周波数変調と同じで、搬送波の振幅が一定なので、雑音に強いという特徴を持っている。

(考案が解決しようとする課題)

位相変調の方法としてはアナログ変調方式として、セラソイド変調器が用いられているが、かなり面倒であり、デジタル方式で行う簡単な方法はなかった。

本考案は上記の点に鑑みてなされたもので、そ

の目的は、比較的簡単に位相変調を行うことのできるデジタル方式による位相変調回路を実現することにある。

(課題を解決するための手段)

前記の課題を解決する本考案は、入力された搬送周波数に対応する周波数設定データの倍数から成る数列をクロック毎に出力する搬送波設定用のゲートアレーと、入力された変調波周波数に対応する周波数設定データの倍数から成る数列をクロック毎に出力する変調波設定用のゲートアレーと、該変調波設定用のゲートアレーの出力の数列のアドレスにより格納されている正弦波データがクロック毎に読み出される第1の正弦波ROMと、該第1の正弦波ROMの出力正弦波データと1クロック前に出力された正弦波データとの差を求める減算器と、入力された変調指数と前記減算器の出力データとの積を求める乗算器と、前記搬送波設定用のゲートアレーの出力と前記乗算器の出力とを加算して出力する加算器と、該加算器の出力を読み出しアドレスとして位相変調された信号を出

力する正弦波振幅データが格納されている第2の正弦波ROMと、該第2の正弦波ROMの出力のデジタル信号をアナログ信号に変換して出力するDA変換器とを具備することを特徴とするものである。

(作用)

変調波設定用のDDSに周波数設定データを入力し、1クロック前の出力との減算を行って微分形を求めて変調指数を乗じ、搬送周波数設定データの倍数による数列に加えて位相変調された正弦波を第2正弦波ROMから読み出して、デジタルによる位相変調を行う。

(実施例)

以下、図面を参照して本考案の実施例を詳細に説明する。

第1図は本考案の一実施例のブロック図である。ところで、先ず本考案の実施例の基本回路であるDDSを説明する。第2図はDDSのブロック図である。図において、1は周波数設定データ D_s がA端子に入力され、その加算出力がB端子に入

力されて、クロック入力毎に D_s , $2D_s$, $3D_s$ … を出力するゲートアレー、2 は各アドレス順に正弦波を構成する振幅のデータが書き込まれている ROM である。ROM 2 の出力は DA 変換器 3 においてアナログ信号に変換されて、第 3 図のような正弦波を出力する。周波数設定データと出力周波数との関係を第 4 図を参照して説明する。図において、横軸に ROM 2 のアドレスを取り、縦軸に ROM 2 の各アドレスに格納されている振幅データを取ってある。

今、周波数設定データを D_s とすると、ゲートアレー 1 から公差 D_s の等差級数から成る数列が ROM 2 に入力されて、第 4 図で黒丸で示されるデータが DA 変換器 3 に出力される。この時、出力される信号の周波数は DDS を動作させるクロックの周波数と周波数設定データによって決まる。例えば、DDS をクロック周波数 f_c で動作させれば、周波数設定データ D_s はクロックの周期 $1/f_c$ で D_s , $2D_s$, $3D_s$ … の順に ROM 2 にアドレスを指定していくので $(1/f_c) \times n$

n_D (n_D は 1 周期分のデータ数、第 4 図の例では 10 個) で表せる周期の周波数の信号が出力される。ここで、DDS を動作させるクロックの周波数は一定なので、 n_D を変化させて周波数を変化させるわけであるが、 n_D を変化させるのは周波数設定データ D_s を変化させることによって行う。第 5 図において、(イ) 図と (ロ) 図の正弦波は共に n_D は 10 個なので同じ周波数の信号が出力されるが、(イ) 図において、第 1 の黒丸データは 0 から始まっているが、(ロ) 図では D_s 分だけ (イ) 図の波形より進んだ位相を持つ波形の信号が出力される。この D_s を周期的に変化させると、出力には位相が周期的に変化する位相変調された信号が現れる。

次に第 1 図の実施例の回路を説明する。図において、11 は第 2 図に示すゲートアレー 1 と同様な動作をする搬送波設定用ゲートアレーで、周波数設定データ入力の指定する周波数を読み出すためのアドレス D_c をクロック毎に出力する。ゲートアレー 11 に入力される周波数設定データは送

公開実用平成 3—105053

信される信号の搬送周波数を設定するデータである。12は同じく周波数設定データ入力の数値の数列をクロック毎に出力し、第1正弦波ROM13に格納されている正弦波振幅データを読み出して変調波とする変調波設定用ゲートアレーである。第1正弦波ROM13は変調波設定用ゲートアレー12の出力のアドレスにより読み出された変調波 D_n を出力する。14は第1正弦波ROM13の出力 D_n と1クロック前に読み出された出力 D_{n-1} との差の信号 D_n を出力する減算器である。

15は減算器14の出力 D_n と設定した変調指数 n が入力され、その積を出力する乗算器で、その出力 nD_n は加算器16に入力される。加算器16は搬送波ゲートアレー11の出力 D_c と乗算器15の出力 nD_n とが入力されて加算し、第2正弦波ROM17の読み出しアドレス D_n を出力する。第2正弦波ROM17はアドレス D_n により読み出されて搬送波が位相変調された変調信号が出力される。18は第2正弦波ROM17のデジタル信号出力をアナログ信号に変換するDA

変換器、19は前記各部の動作基準のためのクロックを発生するクロック発生器である。

次に上記のように構成された実施例の動作を説明する。搬送波周波数に対応する周波数設定データを搬送波設定用ゲートアレー11に入力する。搬送波設定用ゲートアレー11は周波数設定データの倍数で構成される数列である D_c を出力し、加算器16に inputsする。

一方変調波設定用ゲートアレー12には変調波の周波数に対応する周波数設定データが入力され、変調波周波数の信号を読み出すためのアドレスを出力し、第1正弦波ROM13は前記アドレスによって正弦波データ D_n を出力する。 D_n は減算器14に入力され、1クロック前に出力された第1正弦波ROM13の出力との差の D_a が求められる。 D_a は次式で表される。

$$\begin{aligned} D_a &= D_n - D_{n-1} \\ &= A \sin \omega t - A \sin(\omega t - \theta) \\ &= 2A \sin \frac{\theta}{2} \cdot \cos\left(\omega t - \frac{\theta}{2}\right) \dots (1) \end{aligned}$$

ここで $\theta \cdots D_n$ と D_{n-1} の位相差

(1) 式で明らかなように、減算器 14 の出力 D_a は入力 D_n を微分した形の信号である。

この信号 D_a は乗算器 15 に入力されて、変調指数 n との積の $n D_a$ が出力され、加算器 16 には搬送波ゲートアレー 11 の出力 D_c と乗算器 15 の出力 $n D_a$ とが入力されて加算し、第 2 正弦波 ROM 17 の読み出しアドレス D_b を出力する。

$$D_b = D_c + n D_a \quad \cdots (2)$$

第 2 正弦波 ROM 17 は読み出しアドレス D_b により格納されている振幅データを出力する。この読み出しアドレス D_b は (2) 式に示すように搬送波のアドレス D_c に周波数設定データによって変化する (1) 式に示す D_a が加算されていて、第 2 正弦波 ROM 17 の出力は第 5 図で示したように搬送波が変調波により位相変調された信号で、DA 変換器 18 でアナログ信号に変換されて出力される。そして、この出力信号の変調度は変調指数 n によって決められる。

以上、説明したように本実施例によれば、DA

変換器から出力されるまではディジタル信号であるため、雑音に強い位相変調回路が得られ、又、ディジタル回路で構成されているので、回路を構成する素子のばらつき等による性能の差を生ずることのない位相変調回路を実現することができる。

(考案の効果)

以上詳細に説明したように本考案によれば、DDSを用いることによりディジタル回路による位相変調回路を実現することができ、実用上の効果は大きい。

4. 図面の簡単な説明

第1図は本考案の一実施例のブロック図、

第2図は本考案の実施例に用いられるDDSのブロック図、

第3図はDDSの出力信号の図、

第4図は周波数設定データと出力周波数との関係を示す図、

第5図はDDSによる位相変調の説明図である。

1…ゲートアレー 2…ROM

3, 18…DA変換器

公開実用平成 3-105053

- 1 1 … 搬送波設定用ゲートアレー
- 1 2 … 変調波設定用ゲートアレー
- 1 3 … 第 1 正弦波 R O M
- 1 4 … 減算器 1 5 … 乗算器
- 1 6 … 加算器 1 7 … 第 2 正弦波 R O M
- 1 9 … クロック発生器

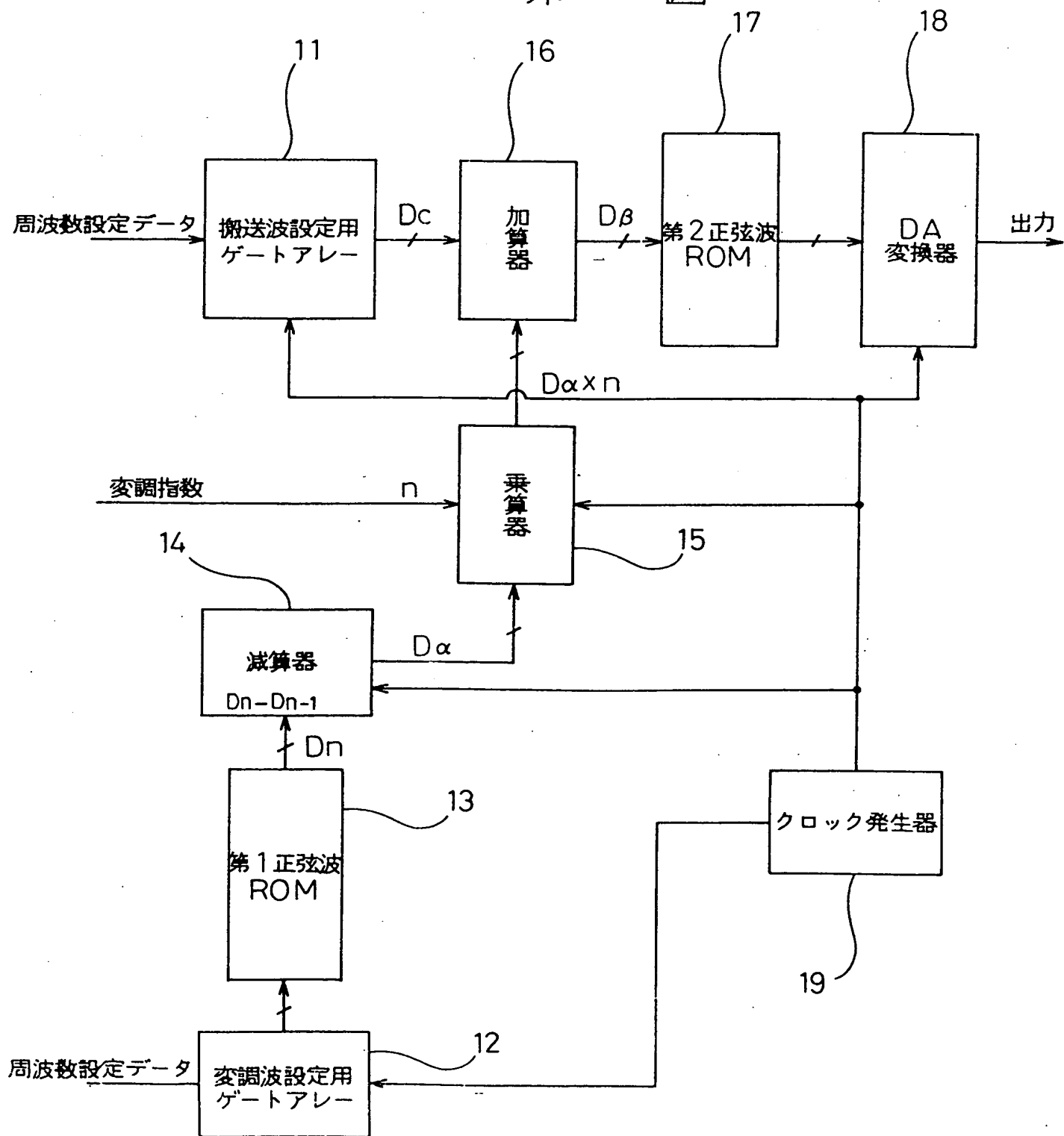
実用新案登録出願人

横河電機株式会社

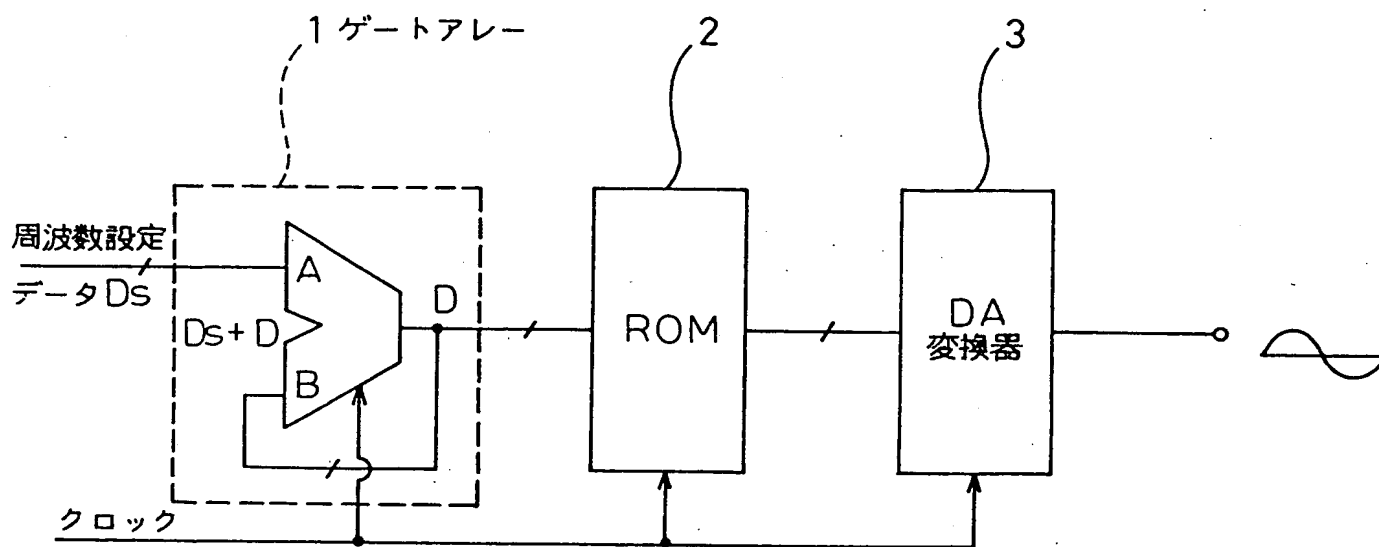
代 理 人 弁 理 士 小 沢 信 助



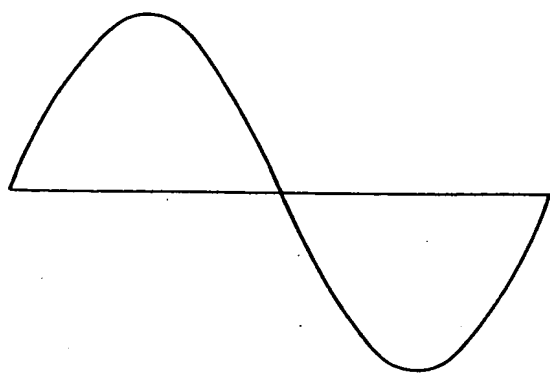
第 1 図



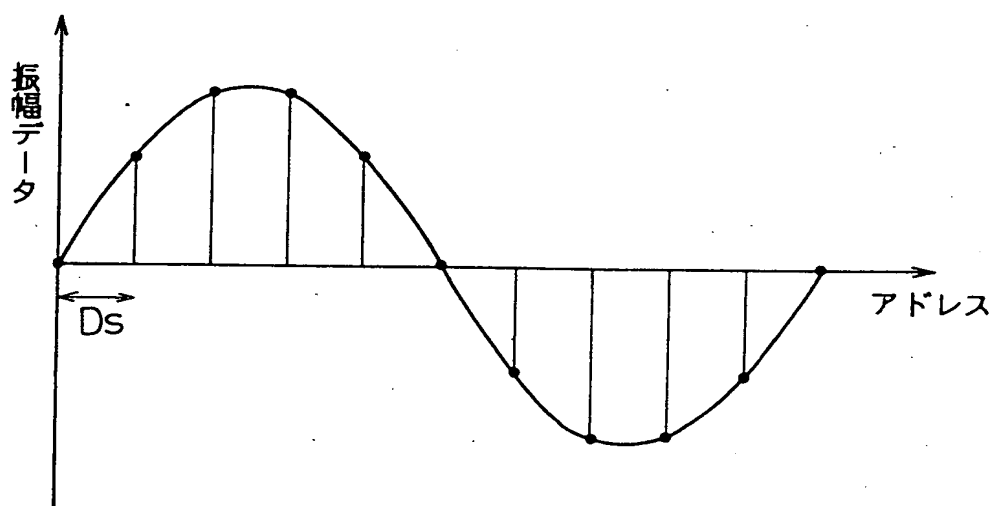
第 2 図



第 3 図



第 4 図

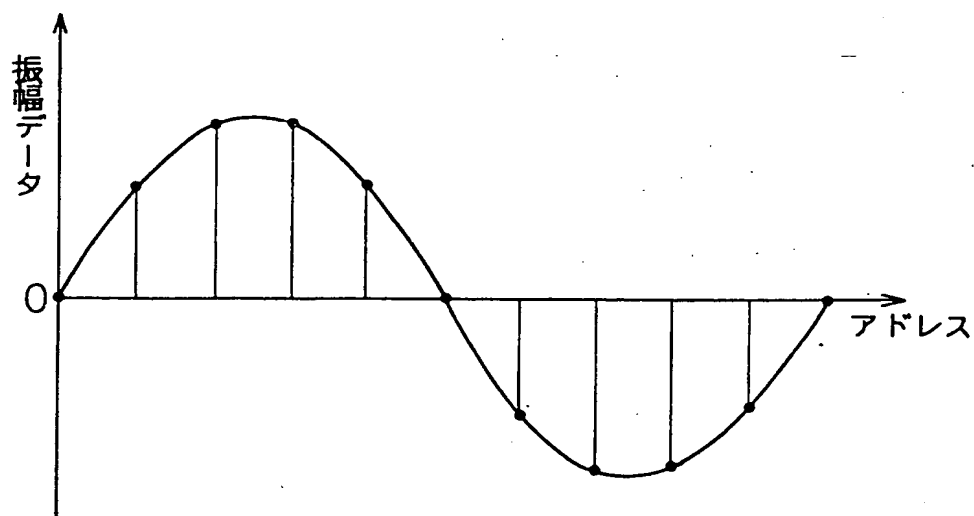


603

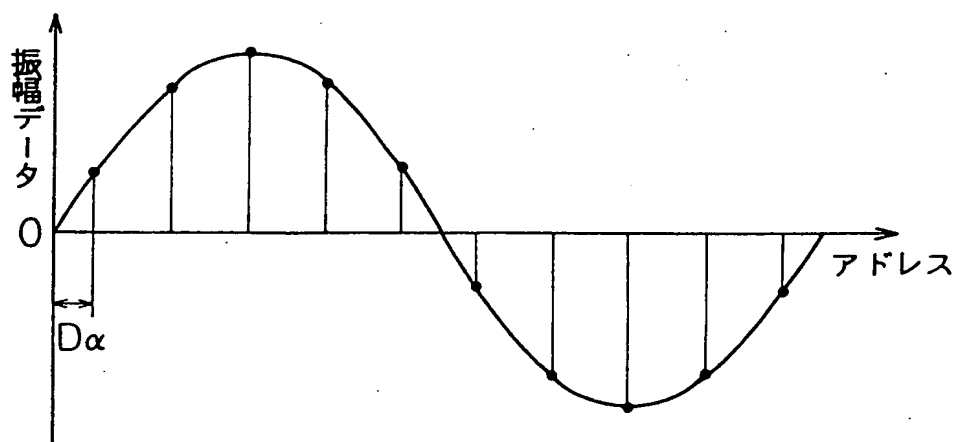
実開 3-105053

第 5 図

(イ)



(ロ)



604

実開 3-105053